

DOCKET NO.: 278285US0PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Makoto ISHIDA, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HEREWITH

INTERNATIONAL APPLICATION NO.: PCT/JP04/02889

INTERNATIONAL FILING DATE: March 5, 2004

FOR: SEMICONDUCTOR ELEMENT, SEMICONDUCTOR SENSOR AND SEMICONDUCTOR MEMORY ELEMENT

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
Alexandria, Virginia 22313

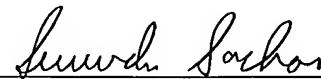
Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2003-071584	17 March 2003

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP04/02889. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Norman F. Oblon
Attorney of Record
Registration No. 24,618
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

05. 3. 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月17日
Date of Application:

出願番号 特願2003-071584
Application Number:

[ST. 10/C] : [JP2003-071584]

RECD 22 APR 2004

WIPO PCT

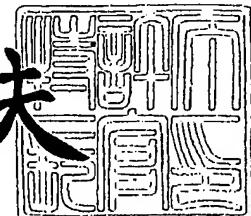
出願人 独立行政法人 科学技術振興機構
Applicant(s):

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 4月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 03JST04
【提出日】 平成15年 3月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/105
H01L 21/316

【発明者】

【住所又は居所】 愛知県豊橋市野依台1-13-3
【氏名】 石田 誠

【発明者】

【住所又は居所】 愛知県豊橋市王ヶ崎町上原1-3 合同宿舎王ヶ崎住宅
1-304
【氏名】 澤田 和明

【発明者】

【住所又は居所】 愛知県豊橋市天伯町字六ツ美37-2 早稲栗下宿
【氏名】 赤井 大輔

【発明者】

【住所又は居所】 愛知県豊橋市上野町上原135 スチューデントハイツ
上野2-B
【氏名】 余川 三香子

【発明者】

【住所又は居所】 愛知県豊橋市曙町字南松原160 ヒルトンハイツ曙A
棟108号室
【氏名】 平林 京介

【特許出願人】

【識別番号】 396020800
【氏名又は名称】 科学技術振興事業団
【代表者】 沖村 憲樹

【代理人】

【識別番号】 100089635

【弁理士】

【氏名又は名称】 清水 守

【手数料の表示】

【予納台帳番号】 012128

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013088

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子、半導体センサーおよび半導体記憶素子

【特許請求の範囲】

【請求項1】 半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、該 γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶Pt 薄膜を有することを特徴とする半導体素子。

【請求項2】 半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、該 γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶Pt 薄膜を設けるとともに、該単結晶Pt 薄膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする半導体素子。

【請求項3】 請求項1または2記載の半導体素子において、前記半導体単結晶基板として、Si 単結晶基板を用いたことを特徴とする半導体素子。

【請求項4】 請求項3記載の半導体素子において、前記Si 単結晶基板の表面が(100)面であることを特徴とする半導体素子。

【請求項5】 請求項2、3または4記載の半導体素子において、前記強誘電体薄膜として、BaMgF₄、Bi₄Ti₃O₁₂、(Bi, La)₄Ti₃O₁₂、BaTiO₃、Ba_xSr_{1-x}TiO₃、SrBi₂Ta₂O₉、PbTiO₃、Pb_yLa_{1-y}Zr_xTi_{1-x}O₃、ZnOのうち、いずれかの薄膜を用いることを特徴とする半導体素子。

【請求項6】 半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、該 γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶Pt 薄膜を設けるとともに、該単結晶Pt 薄膜上に高配向の強誘電体薄膜を有し、該強誘電体薄膜上に上部電極を具備することを特徴とする半導体センサー。

【請求項7】 請求項6記載の半導体センサーにおいて、前記半導体単結晶基板がSOI構造であることを特徴とする半導体センサー。

【請求項8】 請求項6記載の半導体センサーにおいて、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする半導体センサー。

【請求項9】 請求項6記載の半導体センサーにおいて、前記半導体単結晶

基板に熱分離のためのエッチングを施し、赤外線を検出することを特徴とする半導体センサー。

【請求項 10】 請求項9記載の半導体センサーにおいて、前記上部電極と前記エピタキシャル単結晶P_t薄膜からなる下部電極間にトランジスタを一体化することを特徴とする半導体センサー。

【請求項 11】 請求項1～5の何れか1項記載の半導体素子の前記半導体単結晶基板はFET構造としたメモリ機能を有することを特徴とする半導体記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子、半導体センサーおよび半導体記憶素子に関するものである。

【0002】

【従来の技術】

近年、強誘電体の持つ、履歴現象、焦電効果、圧電効果、電気光学効果といった特性を利用した様々な電子デバイスが研究されている。中でも、金属／強誘電体／金属構造／絶縁体／半導体 (Metal／Ferroelectric／Metal／Insulator／Semiconductor: MFMIS) 構造を用いたデバイスは、不揮発性記憶素子やセンサーへの応用が期待されている。

【0003】

また、この構造では強誘電体を薄膜化することにより、デバイス性能の向上、サイズの小型化などが可能になると期待される。さらに、半導体基板を用いることで集積回路との一体化が可能であると考えられている。

【0004】

MFMIS構造を用いたデバイスにおいては、上部と下部の電極は強誘電体からの信号を取り出すあるいは強誘電体へ信号を与えるために必要となっている。例えば、強誘電体をセンサーとして利用する場合は、強誘電体に与えられた物理

的な効果により上下の電極に信号が現れる。また、強誘電体を記憶素子として利用する場合は、記憶させたいデータに応じて、上下電極から強誘電体に対して電気的信号を与える必要がある。

【0005】

一方で、強誘電体の結晶性はデバイスとしての性能を左右する重要な要素である。MFMIS構造において、強誘電体は金属電極上に形成されるため、電極にも結晶性の良いものが求められている。現在、電極用の金属材料としてはプラチナ (Pt) が広く使われている。

【0006】

また、センサーデバイスの分野において、 $Pb(Zr, Ti)O_3$ (PZT) 系強誘電体材料が広く用いられている。PZT系材料は電極上の結晶面を (001) 面に揃えることで、最も良好な強誘電特性を示すことが知られている。この PZT (001) を得るために、下部電極の Pt を (001) 面で揃えた単結晶とする必要があり、現在そのような Pt を得るために単結晶MgO (001) 基板が使用されている。また、シリコン (Si) 基板表面にシリコン (Si) 酸化膜を形成し、その後チタンを堆積した基板を用いることにより、Pt (111) 配向膜とその上へのPZT (111) 配向膜が作製できる。

【0007】

【特許文献1】

特開2002-261249号公報 (第4-5頁 図2)

【非特許文献1】

赤井 他、第49回応用物理学関係連合講演会予稿集, 30a-ZA-6

【0008】

【発明が解決しようとする課題】

上記したように、強誘電特性の優れたPZT (001) を用いたMFMIS構造と集積回路を一体化したデバイスを作製するために、Pt (001) が形成可能な半導体 (例えば、Si) 基板が求められている。一方、現在使用されている単結晶MgO (001) 基板は絶縁体であり、上記の要求を満たすことができない。

【0009】

さらに、上記した特許文献1では、半導体基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする半導体記憶素子が開示されているが、この構造では下部電極が形成されていないために、半導体センサーなどには用いることができなかった。

【0010】

本発明は、上記状況に鑑みて、下部電極を有するMFMIS構造と集積回路を一体化することができる半導体素子、半導体センサーおよび半導体記憶素子を提供することを目的とする。

【0011】**【課題を解決するための手段】**

本発明は、上記目的を達成するために、

〔1〕半導体素子において、半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、この γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶P_t薄膜を有することを特徴とする。

【0012】

〔2〕半導体素子において、半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、この γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶P_t薄膜を設けるとともに、この単結晶P_t薄膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする。

【0013】

〔3〕上記〔1〕または〔2〕記載の半導体素子において、前記半導体単結晶基板として、Si単結晶基板を用いたことを特徴とする。

【0014】

〔4〕上記〔3〕記載の半導体素子において、前記Si単結晶基板の表面が(100)面であることを特徴とする。

【0015】

〔5〕上記〔2〕、〔3〕または〔4〕記載の半導体素子において、前記強誘電体薄膜として、BaMgF₄、Bi₄Ti₃O₁₂、(Bi, La)₄Ti₃O

12、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $PbTiO_3$ 、 $Pb_yLa_{1-y}Zr_xTi_{1-x}O_3$ 、 ZnO のうち、いずれかの薄膜を用いることを特徴とする。

【0016】

〔6〕半導体センサーにおいて、半導体単結晶基板上にエピタキシャル成長された $\gamma-Al_2O_3$ 単結晶膜を有し、この $\gamma-Al_2O_3$ 単結晶膜上にエピタキシャル単結晶Pt薄膜を設けるとともに、この単結晶Pt薄膜上に高配向の強誘電体薄膜を有し、この強誘電体薄膜上に上部電極を具備することを特徴とする。

【0017】

〔7〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板がSOI構造であることを特徴とする。

【0018】

〔8〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする。

【0019】

〔9〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板に熱分離のためのエッチングを施し、赤外線を検出することを特徴とする。

【0020】

〔10〕上記〔9〕記載の半導体センサーにおいて、前記上部電極と前記エピタキシャル単結晶Pt薄膜からなる下部電極間にトランジスタを一体化することを特徴とする。

【0021】

〔11〕半導体記憶素子において、上記〔1〕～〔5〕の何れか1項記載の半導体素子の前記半導体単結晶基板をFET構造としたメモリ機能を有することを特徴とする。

【0022】

【発明の実施の形態】

以下、本発明について説明する。

【0023】

本発明は、Si基板上に単結晶絶縁膜を成長させ、その単結晶絶縁膜上にPt電極を形成する。換言すれば、Si基板とPt電極との間に単結晶絶縁膜を形成する。このようにして、単結晶Pt電極を容易に得ることができ、MFMIS構造を実現するようにした。Si基板上にエピタキシャル成長可能な絶縁膜としては、 γ -Al₂O₃を使用するようにした。

【0024】

単結晶絶縁膜の積層には、積層する材料の結晶構造および格子定数の不整合率が重要である。そこで、 γ -Al₂O₃、PtおよびMgOについて格子定数の検討を行った。表1にそれぞれの結晶構造および格子定数を示す。

【0025】

【表1】

	結晶構造	晶系	格子定数
Pt	面心立方構造	立方晶	$a = b = c = 3.92 \text{ \AA}$
γ -Al ₂ O ₃	スピネル構造	正方晶	$a = b = 7.95 \text{ \AA}$ $c = 7.79 \text{ \AA}$
MgO	スピネル構造	立方晶	$a = b = c = 4.21 \text{ \AA}$

【0026】

図1はPtと γ -Al₂O₃のスピネル構造の際表面での原子配置を示す図であり、図1(a)はPtの原子配置、図1(b)は γ -Al₂O₃の原子配置を示している。

【0027】

スピネル構造の際表面は、 γ -Al₂O₃を例に取ると図1(b)に示すように、Alの面心立方構造と見ることができる。一方、Ptの場合も、図1(a)に示すように、Ptの面心立方構造と見ることができる。

【0028】

したがって、(001)面上での原子配置はPtと γ -Al₂O₃とでは幾何学的には同じである。そこで、表1に示した格子定数より、Pt(001)面と γ -Al₂O₃(001)面およびPt(001)面とMgO(001)面との格子不整合率を計算すると、表2に示す値が得られた。

【0029】

【表2】

	格子不整合率
Pt(001) - γ -Al ₂ O ₃ (001)	1.4%
Pt(001) - MgO(001)	6.8%

【0030】

この結果より、Ptと γ -Al₂O₃との格子不整合率は十分に低く、さらにはPt-MgOの格子不整合率の値よりも低くなることが分かった。これは、 γ -Al₂O₃への単結晶Ptのエピタキシャル成長の可能性を示すものである。

【0031】

Si基板上への単結晶 γ -Al₂O₃膜のエピタキシャル成長技術は、本願発明者の提案にかかる上記特許文献1で明らかにされている。これにより得られる基板の断面構造を図2に示す。

【0032】

図2は本発明にかかるSi基板上へエピタキシャル成長させた単結晶 γ -Al₂O₃膜の断面図である。

【0033】

この図において、Si(001)基板1上にエピタキシャル成長した γ -Al₂O₃(001)膜2が単結晶であるかは、反射高速電子線回折装置(RHED)による回折像を観察することで判断できる。

【0034】

図3は図2に示す単結晶 γ -Al₂O₃(001) / Si(001)基板のRHEDパターンを示す。

【0035】

この図3より、Si(001)基板1上にエピタキシャル成長した γ -Al₂O₃(001)膜2が単結晶であることが分かる。本発明では、こうして得られた γ -Al₂O₃(001) / Si(001)基板(以下、単にAl₂O₃基板と呼ぶ)を用い、以下に示すプロセスで、単結晶Pt膜を形成する。

【0036】

図4は本発明の実施例を示すPt/ γ -Al₂O₃(001)/Si(001)基板の断面図である。

【0037】

この図において、3はエピタキシャル単結晶Pt薄膜である。ここでは、O₂およびTMA(tri-methyl amine)を材料ガスとするcold-wall CVD装置によりSi(001)基板1上にエピタキシャル成長させた γ -Al₂O₃膜2(14nm)を基板として用いた。Pt薄膜3はRFスパッタ法により作製した。スパッタガスはArのみで、基板温度は室温から60°Cまで変化させた。作製したPt薄膜3の結晶性をXRDおよびRHEEDにより解析した(図5、図6参照)。

【0038】

このPt/ γ -Al₂O₃(001)/Si(001)基板の作製プロセスは

(1) まず、Si(001)基板1上に成長した γ -Al₂O₃(001)膜2からなるAl₂O₃基板をRFスパッタ装置へ導入する。

【0039】

(2) 次に、スパッタ装置内を真空ポンプにより、真空度 1×10^{-2} Torrから 1×10^{-7} Torrの範囲まで排気する。

【0040】

(3) 次に、Arガスを装置内へ導入し、真空度を 1×10^{-2} Torrから 1×10^{-3} Torrの範囲に調整する。

【0041】

(4) 次いで、基板加熱機構により、Al₂O₃基板を550°C以上に加熱する。

【0042】

(5) 次に、プラズマを発生させる。

【0043】

(6) プリスパッタを行った後、シャッタを開き、Al₂O₃基板上へとPt

薄膜3を堆積させる。

【0044】

(7) 所定の膜厚が得られた後、シャッタを閉じ、プラズマの発生を停止させる。

【0045】

得られたPt薄膜の結晶構造について、X線回折装置(XRD)およびRHEEDを用いて解析を行った。それぞれの結果を図5および図6に示す。

【0046】

まず、図5に示すXRDパターンでは、Pt(002)面に起因するピークのみが現れており、Ptが(001)配向していることが確認できた。より詳細には、室温～500℃でのスパッタでは、(111)および(002)の弱いピークが観測されており多結晶のPt薄膜が成長している。550℃で(002)のピークが強く現れ始めたが、(111)のピークもわずかに残っており、エピタキシャル成長していない。600℃の場合では、(111)のピークは完全に失せて(002)ピークのみが現れた。

【0047】

また、図6に示すRHEEDにおいてもスポットパターンが観測され、Pt(001)が γ -Al₂O₃(001)上にエピタキシャル成長していることが確認できた。なお、 α -Al₂O₃(サファイア)のR面上に同様の条件においてPtをスパッタした場合、(001)配向の膜は得られず、(111)配向となつた。

【0048】

さらに、図6に示すRHEEDパターンのスポット位置・間隔を同定した結果、各スポットが、図7に示す面からのものであることが分かった。これらの結果より、Al₂O₃基板上に単結晶Pt(001)が成長していることを確認した。

【0049】

前述したようなプロセスを用いてサファイア(10-12)面上にPtを堆積した場合は、図8に示すような(111)配向のPt膜しか得られない。Si基

板を用いて、Pt(001)膜を得られるのは単結晶 γ -Al₂O₃を用いることによるものである。

【0050】

以下、本発明の実施の形態について詳細に説明する。

【0051】

(実施例1) 超音波センサー、赤外線センサーの構成例1

図9は本発明の構造を有する基板を用いて製造されたMFMIS型センサーの構成断面図である。

【0052】

図9に示すように、Si(001)基板11上に単結晶の γ -Al₂O₃(001)膜12を成長させた後、ハンドリングのため5μm程度のSi単結晶薄膜13を成長させる。もちろん、この構造は、SOI(Silicon On Insulator)構造であるので、他の方法で作製したSOI構造を用いてもよい。

【0053】

そのSi単結晶薄膜13上に単結晶の γ -Al₂O₃(001)膜14を成長させ、その後、Pt薄膜15をエピタキシャル成長させる。これが下部電極となる。次に、MOCVD法、またはゾルゲル法、スパッタ法で強誘電体薄膜16を高配向に成長させる。その後、上部電極(例えば金ブラック)17を設け、所望の大きさに強誘電体薄膜16をパターニングする。

【0054】

これを、赤外線センサーとして構成するためには、赤外線の照射による熱上昇を効果的に得るために、熱分離のためSi基板11を、背面からKOH溶液などでエッティングする。このように構成された上部電極17とPt下部電極15間に、赤外線が入射することで、強誘電体薄膜16の自発分極値の変化(焦電効果)に伴う電圧変化(もしくは電流計をつなげば電流変化)が、入射される赤外線光量に見合って現れる。

【0055】

また、超音波センサーとして構成するためには、共振周波数調整のため、同様

に背面からS i 基板1 1を削る。このように構成された上部電極1 7とP t 下部電極1 5間に超音波を入射すると、圧電効果により、電圧が発生する。

【0056】

また、同様な機能を有するM F M I S型センサーは図10のような構造でも可能である。

【0057】

すなわち、S i 基板2 1上に単結晶 γ -Al₂O₃ (001) 膜2 2、単結晶P t 下部電極2 3、強誘電体薄膜2 4、上部電極2 5を形成して、S i 基板2 1と単結晶 γ -Al₂O₃ (001) 膜2 2の一部にはエッチングによるリセス2 6を形成してオーバーハング状態にする。つまり、この場合、熱分離もしくは共振周波数調整のためのS i 基板2 1のエッチングは、S i 基板2 1の表面から行う。

【0058】

図11は本発明の実施例を示すトランジスタと一体化したM F M I S型半導体センサーの構成図である。

【0059】

この図において、3 1は下部電極（エピタキシャル単結晶P t 膜）、3 2は強誘電体薄膜、3 3は上部電極、3 4は抵抗、3 5は電界効果トランジスタ、3 6はゲート、3 7、3 8はソース・ドレイン、3 9は電源電圧（V D D）端子、4 0はセンサー出力（V o u t）端子である。

【0060】

このように、赤外線照射による焦電効果のため発生した電荷を、図11に示すように、電界効果トランジスタ（もしくはM O Sトランジスタ）3 5で電圧変化に変換して信号を取り出すことにより、雑音を減じるとことができる。図中の抵抗3 4はシャウント抵抗と呼ばれ、電流を電圧に変換するとともに、赤外線への応答速度を制御するものである。

【0061】

図12は本発明の実施例を示すメモリ構造を有するM F M I S-F E T型半導体記憶素子の断面図である。

【0062】

この図において、41は半導体基板〔Si基板〕、42、43はソース・ドレイン、44は絶縁膜〔エピタキシャル単結晶 γ -Al₂O₃ (001) 膜〕、45は下部電極 (エピタキシャル単結晶Pt膜)、46は強誘電体薄膜、47は上部電極である。

【0063】

このように、ソース・ドレイン42、43間に絶縁膜 (エピタキシャル単結晶 γ -Al₂O₃ 膜) 44、そして、その上に下部電極として金属 (エピタキシャル単結晶Pt薄膜) 45、その上に強誘電体薄膜46、そして上部電極47が構成されている半導体構造である。

【0064】

上部電極47に、ある電圧以上 (たとえば5V) の電圧を印加すると、ソース・ドレイン42、43間に電流が流れる。上部電極47の電圧を0Vまで落としても、強誘電体46の履歴現象のため、電流は流れ続ける。次に、上部電極47に、ある負の電圧以下 (たとえば-5V) を印加すると、電流が流れなくなる。上部電極47の電圧を0Vに戻しても、強誘電体46の履歴現象のため、電流は流れない。

【0065】

なお、強誘電体薄膜としては、BaMgF₄、Bi₄Ti₃O₁₂、(Bi, La)₄Ti₃O₁₂、BaTiO₃、Ba_xSr_{1-x}TiO₃、SrBi₂Ta₂O₉、PbTiO₃、Pb_yLa_{1-y}Zr_xTi_{1-x}O₃、ZnOのうち、いずれかの薄膜を用いるようにすればよい。

【0066】

また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0067】

【発明の効果】

以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0068】

(A) 半導体基板上に単結晶 γ -Al₂O₃膜(単結晶絶縁薄膜)を成長させ、その単結晶 γ -Al₂O₃膜を半導体基板とPt電極との間に形成することにより、単結晶Pt電極を容易に得ることができ、MFMIS構造を容易に形成することができる。

【0069】

(B) 強誘電体薄膜を利用したデバイス、とりわけ半導体記憶素子や半導体センサーを得ることができ、その性能向上とサイズの小型化に貢献できる。

【図面の簡単な説明】

【図1】

Ptと γ -Al₂O₃のスピネル構造の際表面での原子配置を示す図である。

【図2】

本発明にかかる単結晶 γ -Al₂O₃(001)/Si(001)基板の断面図である。

【図3】

本発明にかかる単結晶 γ -Al₂O₃(001)/Si(001)基板のRHEEDパターンを示す図である。

【図4】

本発明の実施例を示すPt/ γ -Al₂O₃(001)/Si(001)基板の断面図である。

【図5】

本発明の実施例を示すPt/ γ -Al₂O₃(001)/Si(001)基板のXRDパターンを示す図である。

【図6】

本発明の実施例を示すPt/ γ -Al₂O₃(001)/Si(001)基板のRHEEDパターンを示す図である。

【図7】

図6のRHEEDパターンのスポット位置の同定を示す図である。

【図8】

比較例としてのP t / サファイア (10-12) / Si (001) 基板のXRDパターンを示す図である。

【図9】

本発明の実施例を示すMFMIS型センサー（その1）の断面図である。

【図10】

本発明の実施例を示すMFMIS型センサー（その2）の断面図である。

【図11】

本発明の実施例を示すトランジスタと一体化したMFMIS型半導体センサーの構成図である。

【図12】

本発明の実施例を示すメモリ構造を有するMFMIS-FET型半導体記憶素子の断面図である。

【符号の説明】

1, 11, 13, 21, 41 Si (001) 基板

2, 12, 14, 22, 44 エピタキシャル単結晶 γ -Al₂O₃ (00

1) 膜

3, 15, 23, 31, 45 エピタキシャル単結晶P t 薄膜（下部電極）

16, 24, 32, 46 強誘電体薄膜

17, 25, 33, 47 上部電極（金ブラック）

26 リセス

34 抵抗（シャウント抵抗）

35 電界効果トランジスタ

36 ゲート

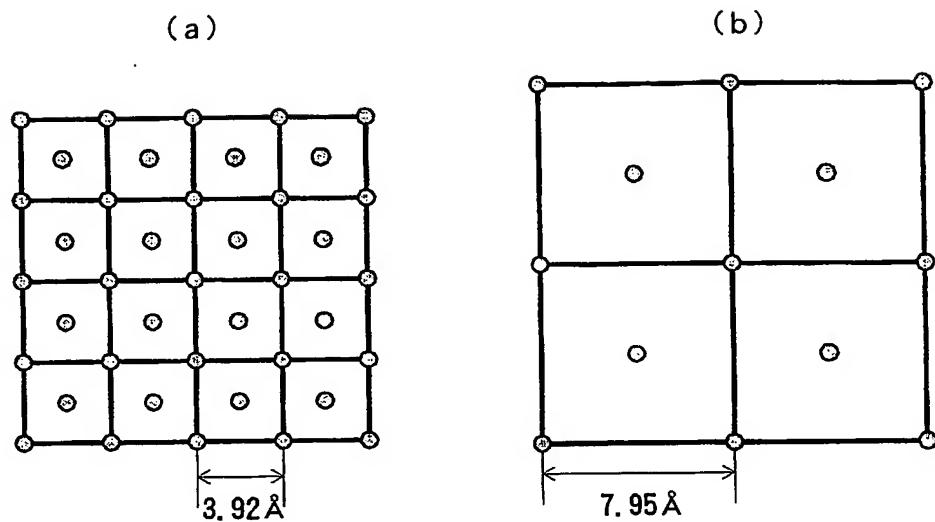
37, 38, 42, 43 ソース・ドレイン

39 電源電圧（VDD）端子

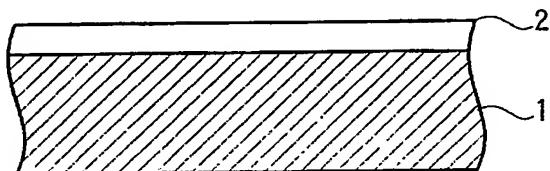
40 センサー出力（Vout）端子

【書類名】 図面

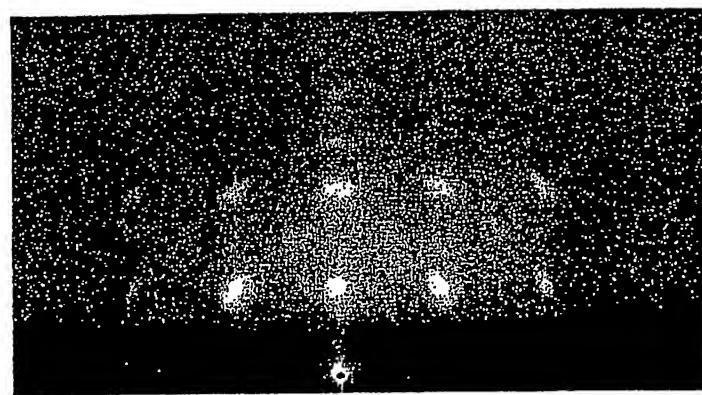
【図1】



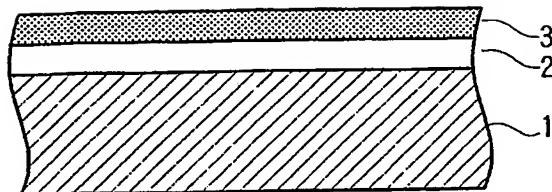
【図2】



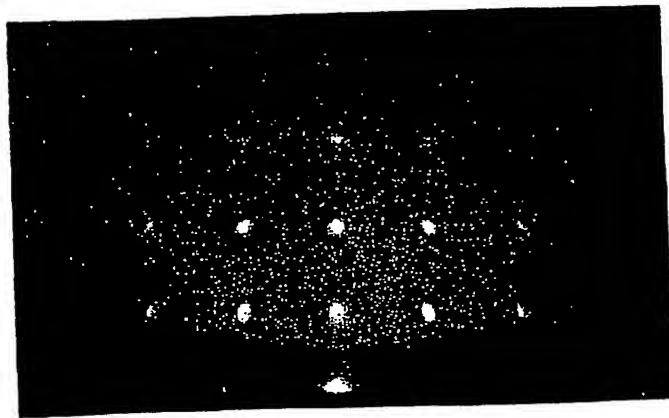
【図3】



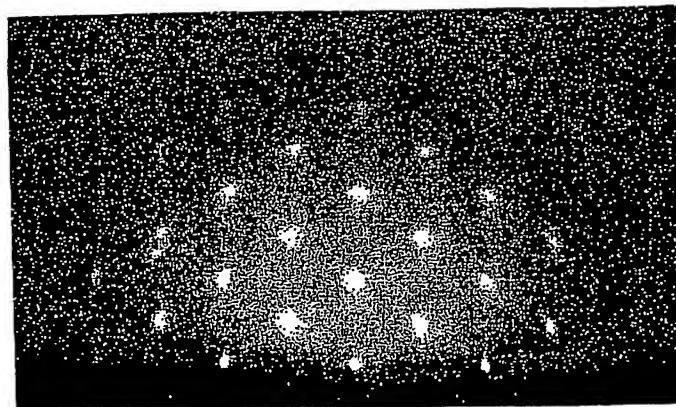
【図4】



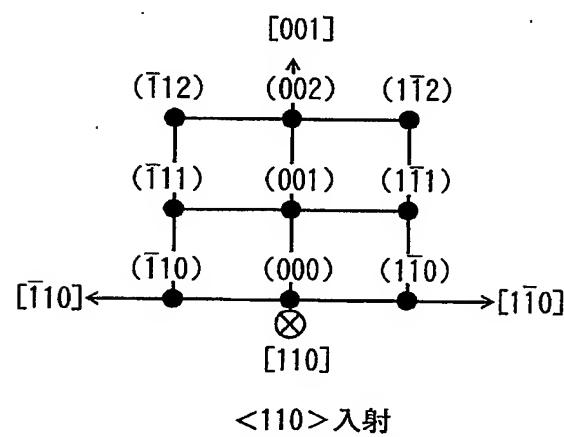
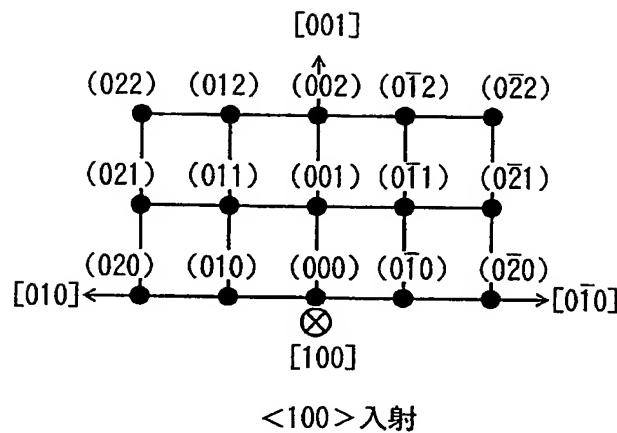
【図5】



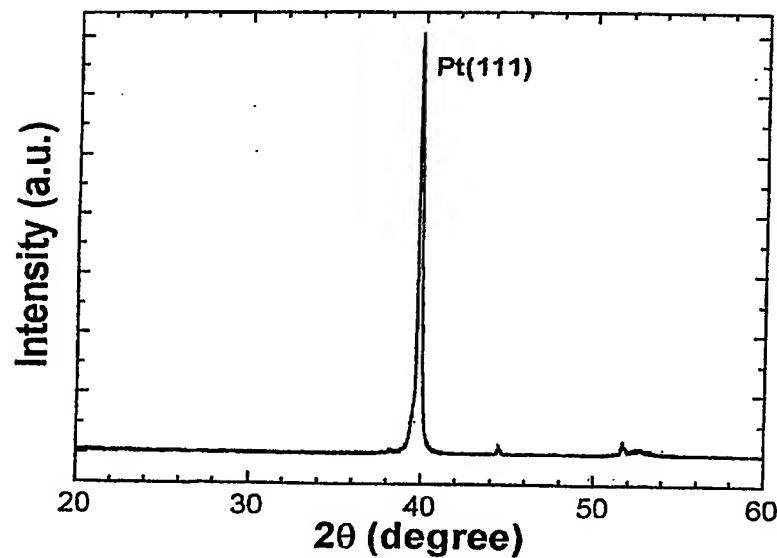
【図6】



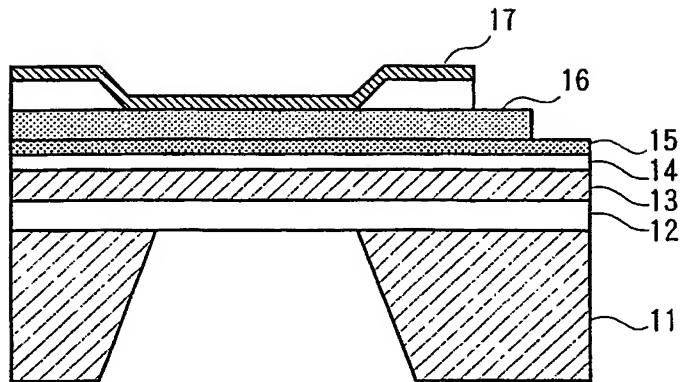
【図 7】



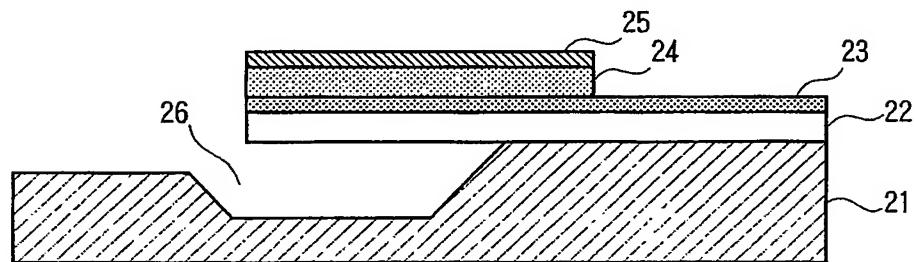
【図 8】



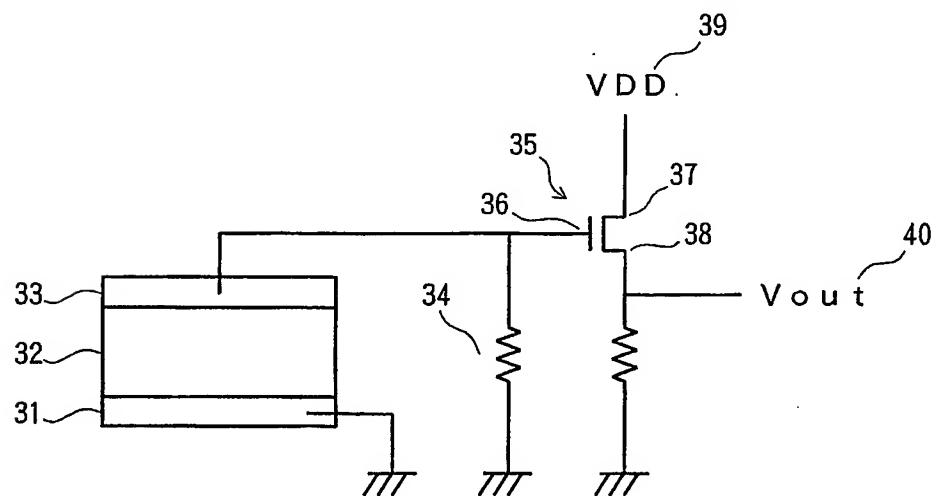
【図 9】



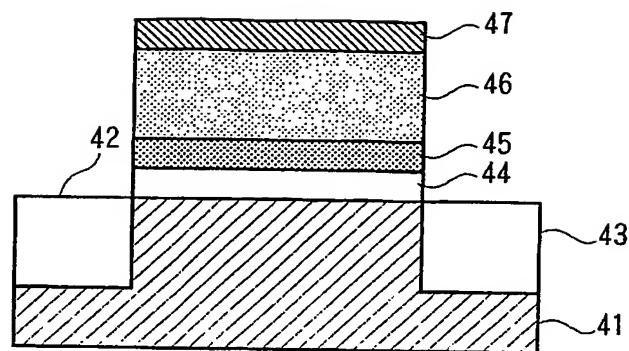
【図 10】



【図 11】



【図12】



【書類名】

要約書

【要約】

【課題】 下部電極を有するM F M I S構造と集積回路を一体化することができる半導体素子、半導体センサーおよび半導体記憶素子を提供する。

【解決手段】 半導体単結晶基板1上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜2を有し、その γ -Al₂O₃ 単結晶膜2上にエピタキシャル単結晶P+薄膜3を有する。

【選択図】 図4

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【事件の表示】 特願2003- 71584
【承継人】
【識別番号】 503360115
【住所又は居所】 埼玉県川口市本町四丁目1番8号
【氏名又は名称】 独立行政法人科学技術振興機構
【代表者】 沖村 憲樹
【連絡先】 〒102-8666 東京都千代田区四番町5-3 独立行政法人科学技術振興機構 知的財産戦略室 佐々木吉正 TEL 03-5214-8486 FAX 03-5214-8417
【提出物件の目録】
【物件名】 権利の承継を証明する書面 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。
【物件名】 登記簿謄本 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。

特願 2003-071584

出願人履歴情報

識別番号 [396020800]

1. 変更年月日 1998年 2月24日

[変更理由] 名称変更

住 所 埼玉県川口市本町4丁目1番8号
氏 名 科学技術振興事業団

特願 2003-071584

出願人履歴情報

識別番号 [503360115]

1. 変更年月日 2003年10月 1日

[変更理由] 新規登録

住所 埼玉県川口市本町4丁目1番8号
氏名 独立行政法人 科学技術振興機構